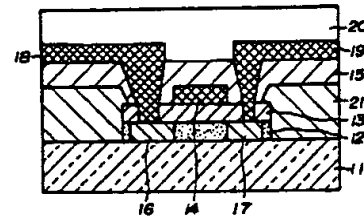


(54) THIN-FILM TRANSISTOR AND ITS MANUFACTURE

(11) 6-85258 (A) (43) 25.3.1994 (19) JP  
(21) Appl. No. 4-235703 (22) 3.9.1992  
(71) FUJI XEROX CO LTD (72) TAKAYUKI YAMADA(2)  
(51) Int. Cl.<sup>5</sup> H01L29/784

**PURPOSE:** To obtain a thin-film transistor which is constructed so as to avoid the short-circuit between a polycrystalline silicon film and a gate electrode at the step part of an island-shaped part.

**CONSTITUTION:** A non-single-crystalline semiconductor film 12 which is formed on an insulating substrate 11 so as to have an island shape, a first insulating film 13 formed on the island-shaped non-single-crystalline semiconductor film 12, a second insulating film 21 formed so as to cover the step part of the circumference of the island-shaped part and a gate electrode 14 which is formed on the first insulating film 13 surrounded by the second insulating film 21 are provided. With this constitution, the non-single-crystalline semiconductor (polycrystalline silicon) film is completely insulated from the gate electrode and a short-circuit between the non-single-crystalline semiconductor film and the gate electrode can be avoided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-85258

(43) 公開日 平成6年(1994)3月25日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 R

審査請求 未請求 請求項の数2(全 7 頁)

(21) 出願番号 特願平4-235703

(22) 出願日 平成4年(1992)9月3日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 山田 高幸

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(72) 発明者 中村 毅

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(72) 発明者 加藤 典司

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(74) 代理人 弁理士 小野寺 洋二 (外1名)

(54) 【発明の名称】 薄膜トランジスタとその製造方法

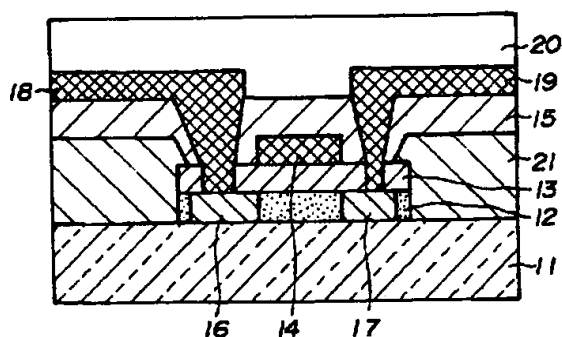
(57) 【要約】

【目的】 島状部分の段差部でのポリシリコン膜とゲート電極とがショートすることのない構造を有する薄膜トランジスタを得る。

【構成】 絶縁基板11上に島状に形成した非単結晶半導体膜12およびこの島状の非単結晶半導体膜上に形成した第1の絶縁膜13と、上記島状部分の周囲の段差を覆って形成した第2の絶縁膜21と、この第2の絶縁膜で囲まれた上記第1の絶縁膜13上に形成したゲート電極14とを有する構造とした。

【効果】 非単結晶半導体膜(ポリシリコン膜)とゲート電極とが完全に絶縁され、非単結晶半導体膜とゲート電極とのショートが阻止される。

図1



11 絶縁基板

12 非単結晶半導体膜

13 第1の絶縁膜

14 ゲート電極

15 層間絶縁膜

16 ソース拡散層

17 ドレイン拡散層

18 ソース電極

19 ドレイン電極

20 パシベーション膜

21 第2の絶縁膜

1

## 【特許請求の範囲】

【請求項1】 絶縁基板上に島状に形成した非単結晶半導体膜およびこの島状の非単結晶半導体膜上に形成した第1の絶縁膜と、上記島状部分の周囲の段差を覆って形成した第2の絶縁膜と、この第2の絶縁層で囲まれた上記第1の絶縁膜上に形成したゲート電極とを有することを特徴とする薄膜トランジスタ。

【請求項2】 絶縁基板上に非単結晶半導体膜を形成する非単結晶半導体膜形成工程と、

上記非単結晶半導体膜上にゲート絶縁膜となる第1の非晶質絶縁膜を形成する第1非晶質絶縁膜形成工程と、

上記非単結晶半導体膜と上記第1の非晶質絶縁膜の2層を1つのレジストパターンで島状にエッチングするエッチング工程と、

上記島状部分を覆って選択エッチング可能な第2の非晶質絶縁膜で被覆する第2非晶質絶縁膜形成工程と、

上記第2の非晶質絶縁膜の上記島状部分の周囲を除く内側上面をエッチング除去する第2の非晶質絶縁膜エッチング工程と、

上記第2の非晶質絶縁膜を除去した上記島状部分の上記第1の非晶質絶縁膜上にゲート電極を形成するゲート電極形成工程とを少なくとも含むことを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体素子の製造方法に係り、特にポリシリコン等の非単結晶半導体膜を用いた薄膜トランジスタとその製造方法に関する。

## 【0002】

【従来の技術】 ガラスなどの絶縁性基板（以下、単に絶縁基板という）上にポリシリコン（Poly-Si）薄膜トランジスタ（TFT）を形成する技術としてアニールによる結晶化技術がある。このアニールによる結晶化技術を用いたポリシリコンTFTの製造方法として、特開平3-104209号公報、特開平3-289140号公報に開示の方法が知られている。

【0003】 また、この技術に関しては、本出願人は以下に説明するような製造方法を既に出願した。図7～図11は上記本出願人の出願にかかる薄膜トランジスタの製造方法を説明する工程図であって、10は非晶質半導体層、11はガラス基板、12は多結晶化した半導体膜（Poly-Si膜：ポリシリコン膜）、13はゲート絶縁膜、14はゲート電極、15は層間絶縁膜、16はソース拡散層、17はドレイン拡散層、18はソース電極、19はドレイン電極、20は保護膜であるパシベーション膜である。なお、ソース拡散層16とドレイン拡散層17はポリシリコン膜をP<sup>+</sup>、B<sup>+</sup>等のイオンを注入した不純物拡散層である。

【0004】 まず、図7（a）に示したように、ガラス等の絶縁基板11上に非晶質半導体膜10としてアモル

2

ファスSi（a-Si）をプラズマCVD法で着膜する。これを赤外線ランプヒータまたはレーザー光線でアニールし（同図ではレーザー光線Lを照射している様子を示す）、a-Siを多結晶Si（Poly-Si）膜12に成長させる。この後、ゲート絶縁膜（SiO<sub>2</sub>膜）13を着膜する（b）。

【0005】 以上の工程は真空を破らずに行うため、多結晶Si層12とゲート絶縁膜（SiO<sub>2</sub>膜）13の界面は清浄に保たれる。次に、図8に示したように、ゲート絶縁膜13とポリシリコン膜12の2層を通常のフォトリソグラフィ法によりパターニングして島状に成形し、この島状部分の上にゲート電極14を形成する。

【0006】 図9は図8の要部説明図であって、（a）は上面図、（b）は（a）のB-B'断面図である。同図に示したように、ゲート電極14はゲート絶縁膜13島状部分の上面からその側壁の段差を被覆してガラス基板11にアルミニウム、タンタルあるいはチタン等を着膜して形成する。

【0007】 ゲート電極14を形成した後、図10（a）に示したように、上記ゲート電極14をマスクとしてP<sup>+</sup>、B<sup>+</sup>等のイオンIを注入し、自己整合的に不純物拡散領域から成るソース拡散層16とドレイン拡散層17を形成する。この上に、（b）のように、プラズマCVDによりSiO<sub>2</sub>膜からなる層間絶縁膜15を5000オングストローム～1μmの厚さに着膜し、上記ソース拡散層16とドレイン拡散層17にコンタクトを取るために相関絶縁膜15とゲート絶縁膜13にビアホール16'、17'を穿孔する。そして、水素プラズマ処理を施して半導体/ゲート絶縁膜境界のダングリングボンドを水素で終端し、欠陥準位密度を低減する。

【0008】 最後に、図11に示したように、スパッタリング法によりアルミニウムを約1μm着膜し、パターニングしてソース電極18とドレイン電極19を形成し、その全体を保護膜であるパシベーション膜20で覆い、TFTを完成させる。

## 【0009】

【発明が解決しようとする課題】 上記従来の技術においては、前記図9の（b）に示したように、ゲート電極14が島状部分の上面からガラス基板11に降りる段差部においてポリシリコン層12と接触してショートを起こし易い構造となっている。ポリシリコン層12の島状部分側壁には自然酸化膜があるのみで、通常の動作時にゲート電極14に印加される10～20Vの電圧では絶縁破壊を起こしショート状態になってしまうという問題があった。

【0010】 本発明の目的は、上記従来技術の問題を解消し、島状部分の段差部でのポリシリコン膜とゲート電極とがショートすることのない構造を有する薄膜トランジスタとその製造方法を提供することにある。

## 【0011】

【課題を解決するための手段】上記目的を達成するため、本発明による薄膜トランジスタは、絶縁基板11上に島状に形成した非単結晶半導体膜12およびこの島状の非単結晶半導体膜上に形成した第1の絶縁膜13と、上記島状部分の周囲の段差を覆って形成した第2の絶縁膜21と、この第2の絶縁膜で囲まれた上記第1の絶縁膜13上に形成したゲート電極14とを有する構造としたことを特徴とする。

【0012】また、本発明は、上記薄膜トランジスタを製造する方法が、絶縁基板11上に非単結晶半導体膜12を形成する非単結晶半導体膜形成工程と、上記非単結晶半導体膜12上にゲート絶縁膜となる第1の非晶質絶縁膜13を形成する第1非晶質絶縁膜形成工程と、上記非単結晶半導体膜12と上記第1の非晶質絶縁膜13の2層を1つのレジストパターンで島状にエッチングするエッチング工程と、上記島状部分を覆って選択エッチング可能な第2の非晶質絶縁膜21で被覆する第2非晶質絶縁膜形成工程と、上記第2の非晶質絶縁膜21の上記島状部分の周囲を除く内側上面をエッチング除去する第2の非晶質絶縁膜エッチング工程と、上記第2の非晶質絶縁膜21を除去した上記島状部分の上記第1の非晶質絶縁膜13上にゲート電極14を形成するゲート電極形成工程とを少なくとも含むことを特徴とする。

【0013】なお、上記絶縁基板11はガラス板を用い、また上記非単結晶半導体膜12はa-Siをアニールした多結晶Si膜、第1の非晶質絶縁膜13はシリコン酸化膜を、第2の非晶質絶縁膜21はシリコン窒化膜(SiN<sub>x</sub>)を用いるのを好適とするが、これに限るものではない。

【0014】

【作用】絶縁基板11上に島状に形成した非単結晶半導体膜12およびこの島状の非単結晶半導体膜上に形成した第1の絶縁膜13とから成る島状部分の周囲の段差を覆って第2の絶縁膜21を形成し、この第2の絶縁膜で囲まれた上記第1の絶縁膜13にゲート電極14を形成したことにより、非単結晶半導体膜12（ポリシリコン膜）とゲート電極14とが完全に絶縁され、前記従来技術による構造において生じる非単結晶半導体膜12（ポリシリコン膜）とゲート電極14とのショートが阻止される。

【0015】

【実施例】以下、本発明の実施例につき、図面を参照して詳細に説明する。図1は本発明による薄膜トランジスタの1実施例の構造を説明する断面図であって、11は絶縁基板としてのガラス基板、12は非単結晶半導体膜、13は第1の絶縁膜としての非晶質絶縁膜、14はゲート電極、15は層間絶縁膜、16はソース拡散層、17はドレイン拡散層、18はソース電極、19はドレイン電極、20は保護膜としてのパシベーション膜、21は第2の絶縁膜としての非晶質絶縁膜である。

【0016】同図に示したように、本実施例の薄膜トランジスタは、絶縁基板11上に島状に形成した非単結晶半導体膜12およびこの島状の非単結晶半導体膜12上に形成した第1の絶縁膜13と、上記島状部分の周囲の段差を覆って形成した第2の絶縁膜21と、この第2の絶縁膜21で囲まれた上記第1の絶縁膜13に形成したゲート電極14とを有する構造としたことにより、非単結晶半導体膜12（ポリシリコン膜）とゲート電極14とのショートが阻止される。

【0017】図2～図6は本発明による薄膜トランジスタの製造方法の1実施例を説明する工程図であって、各図の(a)は断面図、(b)は上面図である。同各図において、10は非晶質半導体膜、11はガラス基板、12は多結晶化した半導体膜(Poly-Si膜：ポリシリコン膜)、13はゲート絶縁膜、14はゲート電極、15は層間絶縁膜、16はソース拡散層、17はドレイン拡散層、16'、17'はビアホール、18はソース電極、19はドレイン電極、20は保護膜であるパシベーション膜、21は第2の絶縁膜（非晶質絶縁膜）である。なお、ソース拡散層16とドレイン拡散層17はポリシリコン膜をP<sup>+</sup>、B<sup>+</sup>等のイオンを注入した不純物拡散層である。

【0018】まず、図2(a)に示したように、ガラス等の絶縁基板11上に非晶質半導体膜10としてアモルファスSi(a-Si)をプラズマCVD法で着膜する。これをレーザ光線でアニールし、a-Siを多結晶Si(Poly-Si)膜12に成長させる。この後、ゲート絶縁膜(SiO<sub>2</sub>膜)13を着膜する(b)。

【0019】以上の工程は真空を破らずに行うため、多結晶Si層12とゲート絶縁膜(SiO<sub>2</sub>膜)13の界面は清浄に保たれる。次に、図3(a)(b)に示したように、ゲート絶縁膜13とポリシリコン膜12の2層を通常のフォトリソグラフィー法によりパターニングして島状に成形し、第2の絶縁膜21としてプラズマCVDによりSiN<sub>x</sub>膜を2000～5000オングストロームの厚さに成膜し、フォトリソグラフィー法で上記島状部分の上面内側のSiN<sub>x</sub>膜をエッチング除去して第1の絶縁膜13を露呈させる。同図(b)に上記島状部分の上面内側に第1の絶縁膜13が第2の絶縁膜21で周囲を囲まれた状態で露呈されているのが示されている。

【0020】そして、図4(a)(b)に示したように、上記島状部分の上面内側の第1の絶縁膜13上を被覆してゲート電極14を形成する。(a)は断面図、(b)は(a)の上面図であり、ゲート電極14はゲート絶縁膜13島状部分の上面内側から第2の絶縁膜21上にアルミニウム、タンタルあるいはチタン等を着膜して形成される。

【0021】ゲート電極14を形成した後、上記ゲート電極14をマスクとしてポリシリコン膜12の所定部分

に $P^+$ 、 $B^+$ 等のイオン $I$ を注入し、自己整合的に不純物拡散領域から成るソース拡散層16とドレイン拡散層17を形成する。図5(a)(b)に示したように、ゲート電極14を形成した後、この上に、プラズマCVDにより $SiO_2$ 膜からなる層間絶縁膜15を5000オングストローム $\sim 1\mu m$ の厚さに着膜した後、上記ソース拡散層16とドレイン拡散層17にコンタクトを取るために層間絶縁膜15とゲート絶縁膜13にビアホール16'、17'を穿孔する。そして、水素プラズマ処理を施して半導体/ゲート絶縁膜境界のダングリングボンドを水素で終端し、欠陥準位密度を低減する。

【0022】最後に、図6(a)(b)に示したように、スパッタリング法によりアルミニウムを約 $1\mu m$ 着膜し、パターニングしてソース電極18とドレイン電極19を形成し、その全体を保護膜であるパシベーション膜20で覆い、TFTを完成させる。上記した製造方法で製造した薄膜トランジスタは、ガラス基板11上に島状に形成したポリシリコン膜12およびこの島状のポリシリコン膜12上に形成した第1の絶縁膜13である $SiO_2$ と、上記島状部分の周囲の段差を覆って形成した第2の絶縁膜21としての $SiN_x$ と、この $SiN_x$ の絶縁膜21で囲まれた上記 $SiO_2$ の絶縁膜13に形成したゲート電極14とを有する構造としたことにより、ポリシリコン膜12とゲート電極14とのショートが阻止される。

#### 【0023】

【発明の効果】以上説明したように、本発明によれば、絶縁基板11上に形成した非単結晶半導体膜12およびこの島状の非単結晶半導体膜12上に形成した第1の絶縁膜13とからなる島状部分の周囲の段差を覆って第2の絶縁膜21を形成したことにより、この第2の絶縁膜21で囲まれた上記第1の絶縁膜13に形成したゲート電極14と非単結晶半導体膜12との間にショートの生じない薄膜トランジスタを提供することができる。

#### 【図面の簡単な説明】

【図1】 本発明による薄膜トランジスタの構造を説明

する断面図である。

【図2】 本発明による薄膜トランジスタの製造方法の1実施例を説明する部分工程における断面図である。

【図3】 本発明による薄膜トランジスタの製造方法の1実施例を説明する部分工程における(a)断面図(b)上面図である。

【図4】 本発明による薄膜トランジスタの製造方法の1実施例を説明する部分工程における(a)断面図(b)上面図である。

【図5】 本発明による薄膜トランジスタの製造方法の1実施例を説明する部分工程における(a)断面図(b)上面図である。

【図6】 本発明による薄膜トランジスタの製造方法の1実施例を説明する部分工程における(a)断面図(b)上面図である。

【図7】 薄膜トランジスタの製造方法の先行技術を説明する部分工程図である。

【図8】 薄膜トランジスタの製造方法の先行技術を説明する部分工程図である。

【図9】 薄膜トランジスタの製造方法の先行技術を説明する図8の部分工程における(a)要部上面図(b)要部断面図である。

【図10】 薄膜トランジスタの製造方法の先行技術を説明する部分工程図である。

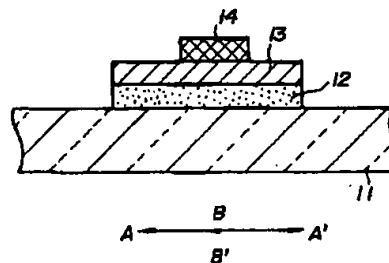
【図11】 薄膜トランジスタの製造方法の先行技術を説明する部分工程図である。

#### 【符号の説明】

11・・・絶縁基板としてのガラス基板、12・・・非単結晶半導体膜、13・・・第1の絶縁膜としての非晶質絶縁膜、14・・・ゲート電極、15・・・層間絶縁膜、16・・・ソース拡散層、17・・・ドレイン拡散層、18・・・ソース電極、19・・・ドレイン電極、20・・・保護膜としてのパシベーション膜、21・・・第2の絶縁膜としての非晶質絶縁膜。

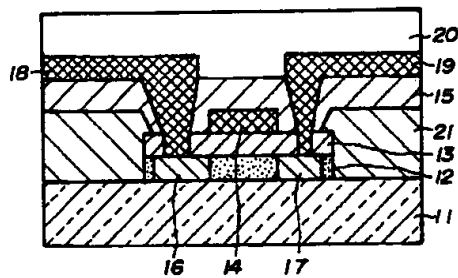
【図8】

図8



【図1】

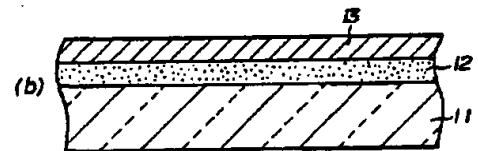
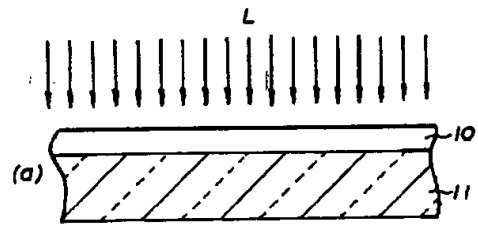
図 1



- |             |              |
|-------------|--------------|
| 11 絶縁基板     | 17 ドレイン電極層   |
| 12 非単結晶半導体膜 | 18 ソース電極     |
| 13 第1の絶縁膜   | 19 ドレイン電極    |
| 14 ゲート電極    | 20 パッシベーション膜 |
| 15 層間絶縁膜    | 21 第2の絶縁膜    |
| 16 ソース電極層   |              |

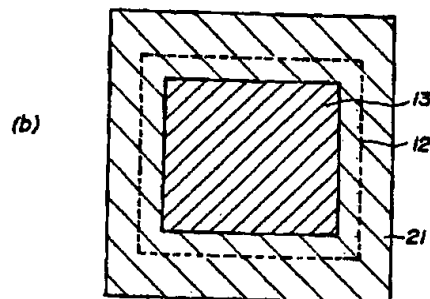
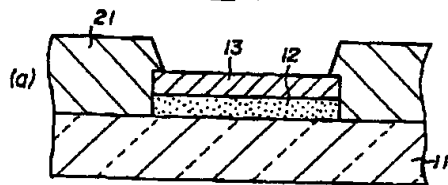
【図2】

図 2



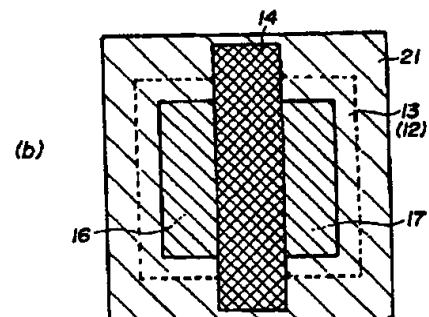
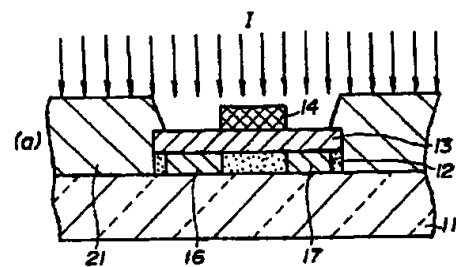
【図3】

図 3

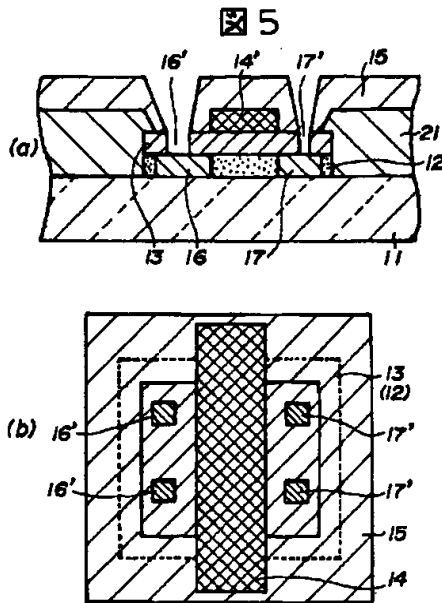


【図4】

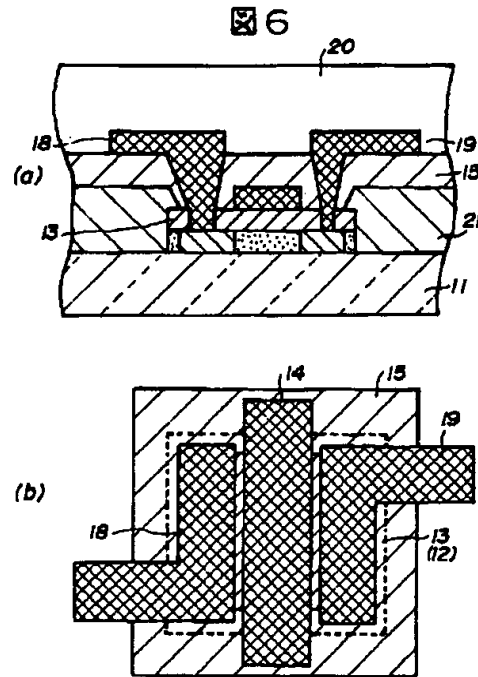
図 4



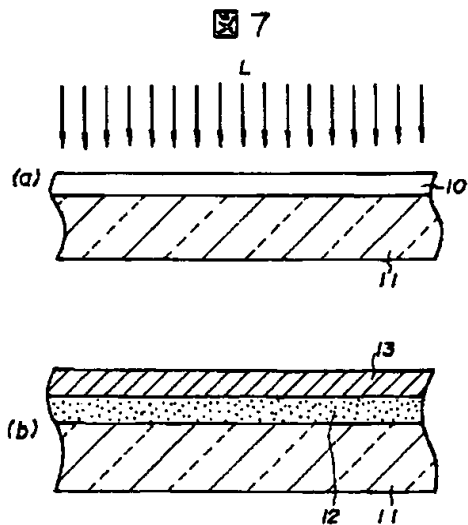
【図5】



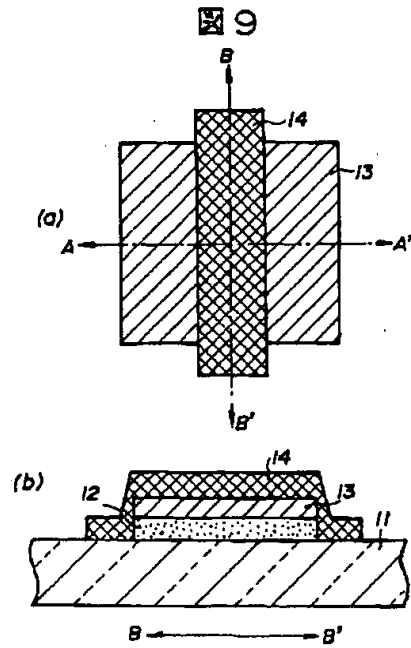
【図6】



【図7】

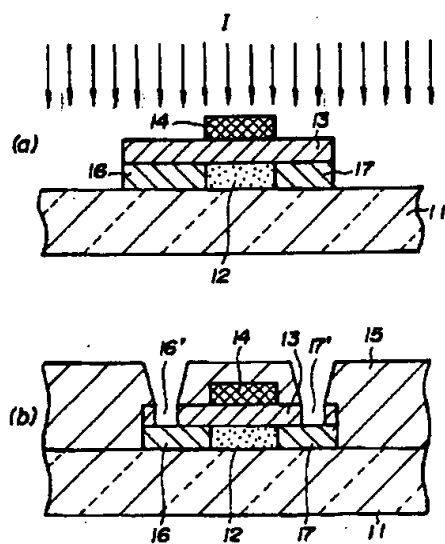


【図9】



【图 10】

**10**



【图 1 1】

11

